

CALCOLATORI ELETTRONICI A – 17 febbraio 2011

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Si implementi per mezzo di porte logiche di AND, OR e NOT la funzione combinatoria (a 4 ingressi e una uscita) che riceve in ingresso un valore positivo binario su 4 bit e pone in uscita 1 se il valore in ingresso è maggiore o uguale a 6, pone in uscita 0 altrimenti. [3]

2. Con particolare riferimento al linguaggio MIPS, illustrare le caratteristiche dell'architettura *load-store* (detta anche *register-register*) illustrando i motivi che ne hanno favorito la diffusione nelle architetture più recenti. [3]

3. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.

Si vuole implementare la nuova istruzione

beqmemi r1, const, (r2)

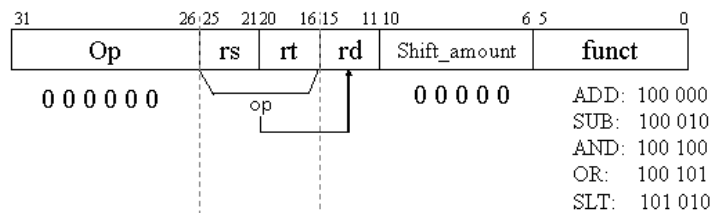
che confronta il valore del registro *r1* con una costante *const* a 16 bit specificata nell'istruzione e, nel caso i valori siano uguali, salta all'indirizzo specificato nella locazione di memoria di indirizzo *r2*: *if(r1==const) salta a M[r2]*.

Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

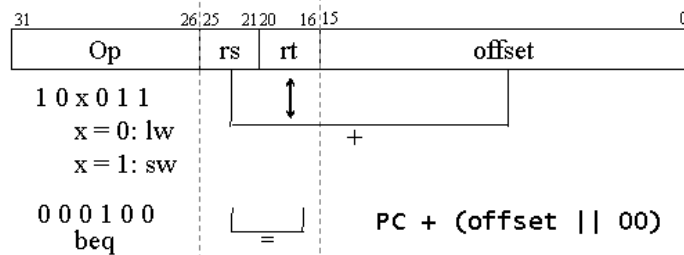
- riportare il formato della nuova istruzione macchina (specificando anche i campi destinati a *r1* e *r2*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione.

[6]

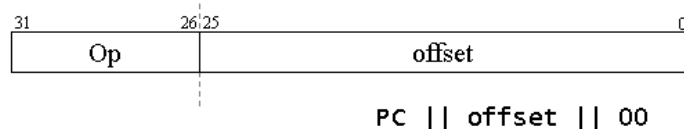
Promemoria formati delle istruzioni:



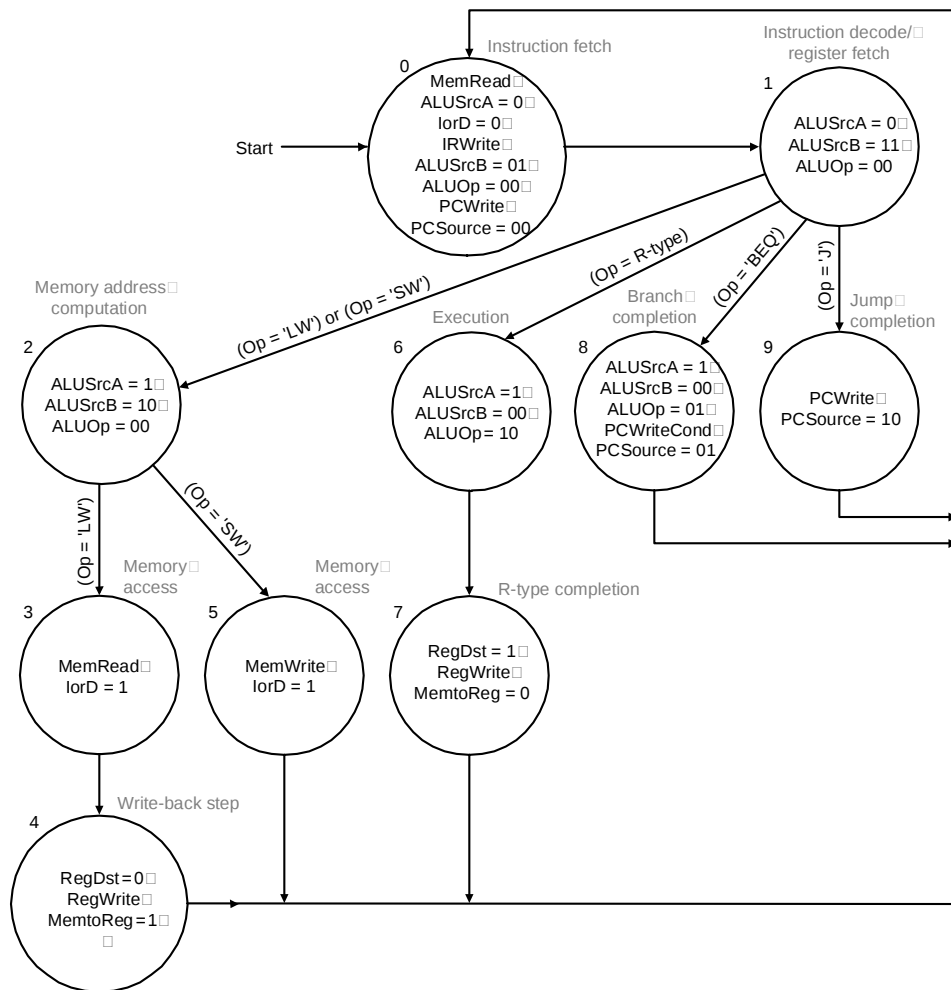
Aritmetiche:
Tipo-R

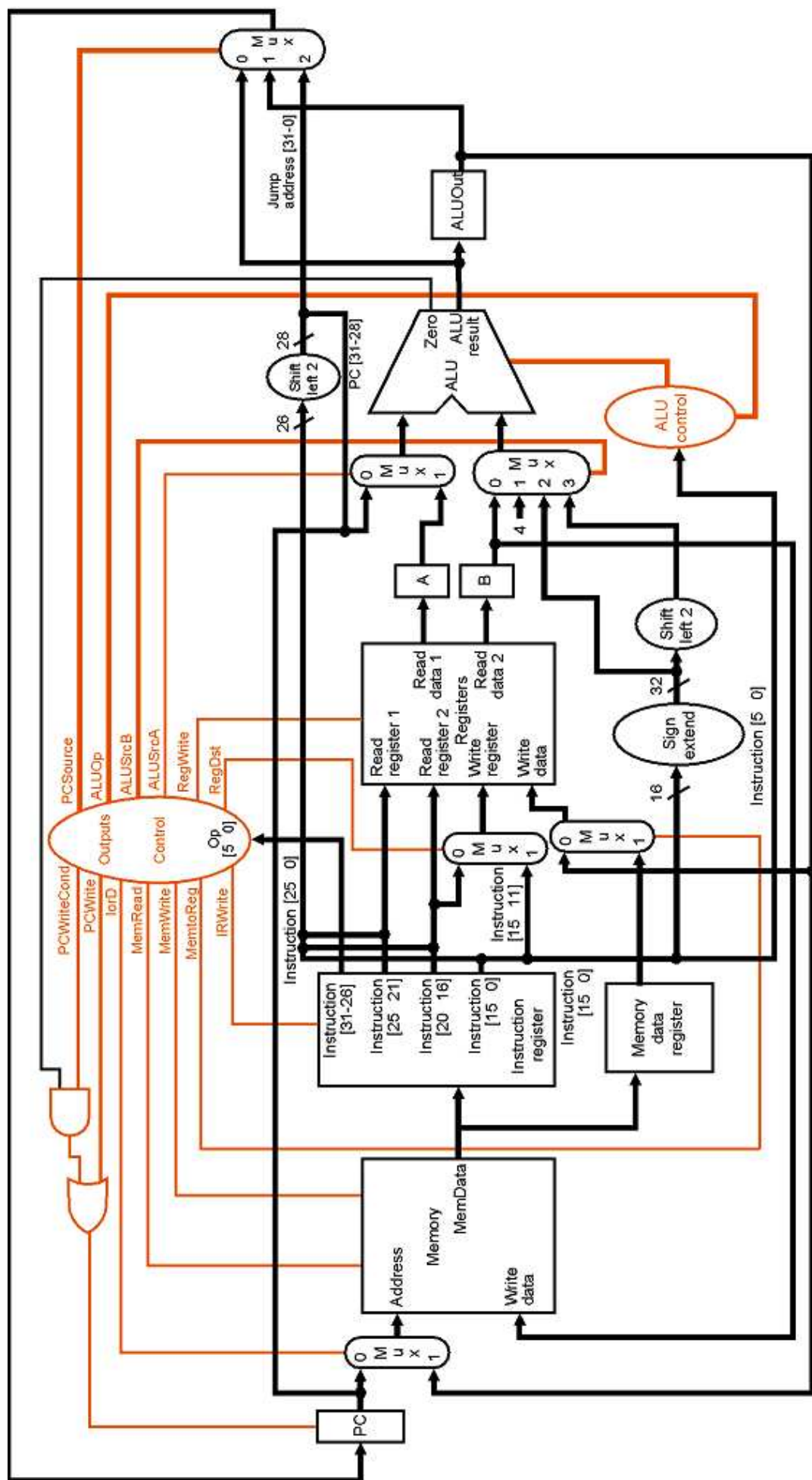


lw, sw, beq:
Tipo-I



J: Tipo-J





4. Si consideri l'implementazione del processore MIPS secondo la tecnica a singolo ciclo, considerando le usuali istruzioni lw, sw, TIPO-R, beq, j. Si considerino i seguenti tempi per le operazioni atomiche che coinvolgono le unità funzionali principali:

Lettura da memoria:	2 ns
Scrittura in memoria:	2 ns
Lettura Register File:	1 ns
Scrittura in Register File:	2 ns
Operazione ALU:	1 ns

Giustificando la risposta, si calcolino le prestazioni del processore in termini di tempo medio di esecuzione per istruzione.

Si consideri l'implementazione di una istruzione *sum r1, offset(r2)* che somma il valore di *r1* al valore di memoria $M[r2 + \text{offset}]$ e pone il risultato di *r1*. Calcolare in questo caso le nuove prestazioni del processore.

Si assuma infine che, in presenza della nuova istruzione, il tempo di decodifica (inteso come tempo di propagazione dell'unità di controllo combinatoria) non sia trascurabile, ma sia pari a 3 ns. Giustificando la risposta, si calcolino anche in questo caso le nuove prestazioni. [5]

5. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione ricorsiva espressa in linguaggio C. Si utilizzino le note convenzioni sui registri. [5]

```
int F(int a, int b){  
    if(a>b || a<=10) return a;  
    else return a+F(b-a, 2a);  
}
```

6. Con riferimento alla gestione delle operazioni di scrittura nella memoria cache, illustrare la tecnica del “write through”. Specificare inoltre la funzione ed il ruolo in termini di prestazioni del “write buffer”. [3]

7. La figura seguente riporta uno schema di datapath per l'implementazione multiciclo delle istruzioni MIPS di riferimento (*lw*, *sw*, *beq*, *j* e *Tipo-R*) comprendente (parte del)la logica di gestione delle eccezioni.

Si illustri il ruolo dei registri Cause e EPC.

Si completi quindi il datapath con il collegamento dalla ALU all'unità di controllo che consente il riconoscimento dell'eccezione dovuta alla presenza di overflow nell'esecuzione delle istruzioni tipo-R: nel risolvere questo punto, si tenga presente la necessità di non compromettere le prestazioni del processore con un eccessivo allungamento del periodo di clock, facendo le usuali assunzioni sulle unità funzionali critiche. Si indichino quindi le corrispondenti modifiche al diagramma degli stati. [5]

